

Docket No.: 67161-129

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
Mitsuya KINOSHITA, et al. : Confirmation Number:  
Serial No.: : Group Art Unit:  
Filed: November 14, 2003 : Examiner: Unknown  
For: SEMICONDUCTOR MEMORY DEVICE HAVING SELF-PRECHARGE FUNCTION

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-022312, filed January 30, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
**Date: November 14, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

67161-129  
KINOSHITA  
November 14, 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2003年 1月30日

出願番号

Application Number:

特願2003-022312

[ ST.10/C ]:

[ JP 2003-022312 ]

出願人

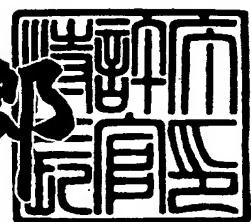
Applicant(s):

三菱電機株式会社

2003年 2月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一



出証番号 出証特2003-3010908

【書類名】 特許願  
【整理番号】 541896JP01  
【提出日】 平成15年 1月30日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 11/409  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 木下 充矢  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内  
【氏名】 野田 英行  
【特許出願人】  
【識別番号】 000006013  
【氏名又は名称】 三菱電機株式会社  
【代理人】  
【識別番号】 100064746  
【弁理士】  
【氏名又は名称】 深見 久郎  
【選任した代理人】  
【識別番号】 100085132  
【弁理士】   
【氏名又は名称】 森田 俊雄  
【選任した代理人】  
【識別番号】 100083703  
【弁理士】  
【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項1】 行列状に配置される複数のメモリセル、前記複数のメモリセルの複数の行にそれぞれ対応して配置される複数のワード線、および前記複数のメモリセルの複数の列にそれぞれ対応して配置される複数のピット線対を各々に含む複数のメモリブロックと、

前記複数のメモリブロックの各々に対応して設けられ、前記メモリセルから読み出されたデータを検知増幅する複数のセンスアンプ帶と、

前記複数のセンスアンプ帶の各々から共通に引き出された複数の読み出しデータ線対と、

前記複数の読み出しデータ線対の中の1対の読み出しデータ線対が入力端子に接続された論理回路とを備え、

前記論理回路は、入力端子に接続された1対の読み出しデータ線対の電位差が開いたときにセルフプリチャージ信号を出力する、半導体記憶装置。

【請求項2】 前記複数のセンスアンプ帶の各々は、前記複数のピット線対の各々に対応して設けられ、前記読み出しデータ線対へデータを読み出すための読み出しゲート回路を含み、

前記読み出しゲート回路は、

ゲートが前記ピット線対の一方に接続され、ソースが前記センスアンプの活性／非活性に応じて動的に変化する第1のトランジスタと、

ゲートが前記ピット線対の他方に接続され、ソースが前記センスアンプの活性／非活性に応じて動的に変化する第2のトランジスタとを有する、請求項1に記載の半導体記憶装置。

【請求項3】 前記セルフプリチャージ信号または外部プリチャージ信号のいずれかが入力されたときに内部プリチャージ信号を出力する中央制御回路をさらに備える、請求項1または2に記載の半導体記憶装置。

【請求項4】 前記複数のセンスアンプ帶の各々は、前記セルフプリチャージ信号をもとに生成されたプリアンプ活性化信号が活性化されたときに前記読み出

しデータ線対から読み出されたデータを増幅するプリアンプを含む、請求項1または2に記載の半導体記憶装置。

【請求項5】 前記論理回路の入力端子に接続される1対の読み出しデータ線対は、前記複数のセンスアンプ帯のいずれかから前記論理回路の入力端子までの距離が最長となる読み出しデータ線対とは異なる読み出しデータ線対である、請求項1または2に記載の半導体記憶装置。

【請求項6】 前記論理回路の入力端子に接続される1対の読み出しデータ線対は、前記複数のセンスアンプ帯のいずれかから前記論理回路の入力端子までの距離が最短となる読み出しデータ線対である、請求項5に記載の半導体記憶装置。

【請求項7】 前記複数の読み出しデータ線対の中から1対の読み出しデータ線対を選択して前記論理回路の入力端子に接続する入出力選択回路をさらに備える、請求項1または2に記載の半導体記憶装置。

【請求項8】 前記複数の読み出しデータ線対のうち、前記論理回路の入力端子に接続される1対の読み出しデータ線対は読み出し時および書き込み時に読み出しだを読み出せるようにし、前記論理回路の入力端子に接続される1対の読み出しデータ線対とは異なる読み出しデータ線対は読み出し時専用とする、請求項1、2、5および7のいずれかに記載の半導体記憶装置。

【請求項9】 前記論理回路はXOR回路である、請求項1、2、5、7および8のいずれかに記載の半導体記憶装置。

【請求項10】 前記論理回路はNAND回路である、請求項1、2、5、7および8のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、DRAM (Dynamic Random Access Memory) のようなプリチャージ動作を行なう半導体記憶装置に関する。

【0002】

【従来の技術】

従来の半導体記憶装置は、プリチャージ動作を行なわせるための専用の外部制御信号線を付加し、コマンドによらず、その外部制御信号線からの外部制御信号の入力により、強制的にプリチャージを実行できるようにすることで、メモリサイクル時間を短縮できる（たとえば、特許文献1参照）。

【0003】

【特許文献1】

特開2000-207883号公報

【0004】

【発明が解決しようとする課題】

従来の半導体記憶装置は、専用の外部制御信号線からの外部制御信号の入力によって強制的なプリチャージを実行するため、新たな外部信号線および外部制御が必要になるという問題があった。

【0005】

それゆえに、この発明の目的は、新たな外部信号線および外部制御を必要とせずにメモリ動作の高速化が可能な半導体記憶装置を提供することである。

【0006】

【課題を解決するための手段】

この発明による半導体記憶装置は、行列状に配置される複数のメモリセル、複数のメモリセルの複数の行にそれぞれ対応して配置される複数のワード線、および複数のメモリセルの複数の列にそれぞれ対応して配置される複数のビット線対を各々に含む複数のメモリブロックと、複数のメモリブロックの各々に対応して設けられ、メモリセルから読み出されたデータを検知増幅する複数のセンスアンプ帯と、複数のセンスアンプ帯の各々から共通に引き出された複数の読み出しは線対と、複数の読み出しは線対の中の1対の読み出しは線対が入力端子に接続された論理回路とを備え、論理回路は、入力端子に接続された1対の読み出しは線対の電位差が開いたときにセルフプリチャージ信号を出力する。

【0007】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、

図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0008】

【実施の形態1】

図1は、この発明の実施の形態1による半導体記憶装置1Aの全体構成を示した概略ブロック図である。

【0009】

図1に示した実施の形態1の半導体記憶装置1Aは、中央制御回路2Aと、ロウデコーダ3と、センスアンプ帶4.1A, 4.2A, 4.3Aと、メモリブロック5.1, 5.2, 5.3と、XORゲート6とを備える。

【0010】

中央制御回路2Aは、コマンドを示す制御信号extACT, extPRE, extSREF, extREAD、クロック信号extCLK、およびロウアドレス信号extRAを外部から受けて、内部制御信号ACT, RXT, RAL, SELFREF, READ, PAE、およびアドレス信号XO<1:0>, XN<3:0>, XM<3:0>, XSD<3:0>, RA<7:2>をロウデコーダ3に出力する。この中央制御回路2Aの具体的構成については、後に詳述する。

【0011】

ロウデコーダ3は、中央制御回路2Aから与えられた各種信号を受けて、センスアンプ帶4.1A, 4.2A, 4.3Aおよびメモリブロック5.1, 5.2, 5.3に対してロウ系のデコード処理を行なう。

【0012】

センスアンプ帶4.1A, 4.2A, 4.3Aからは、センスアンプ帶4.1A, 4.2A, 4.3Aに共通の読み出しデータ線対G I O R, /G I O Rが引き出され、XORゲート6の入力端子に接続される。XORゲート6は、データ線対G I O R, /G I O Rの電位差が開いたときに、中央制御回路2に対してセルフプリチャージ信号SELFPREを出力する。

【0013】

図1では、XORゲートに接続された1対の読み出しデータ線対G I O R, /G

I ORを代表して示しているが、実際には複数の読み出しデータ線対がセンスアンプ帯4. 1 A, 4. 2 A, 4. 3 Aから引き出されており、その中の1対の読み出しデータ線対G I OR, /G I ORがX ORゲート6の入力端子に接続される。

## 【0014】

図2は、この発明の実施の形態1による半導体記憶装置1 Aの全体構成を示した概略ブロック図の変形例である。図2に示した実施の形態1の半導体記憶装置1 A-2は、X ORゲート6がN ANDゲート7に置き換えられた点で、図1の半導体記憶装置1 Aと異なる。

## 【0015】

X ORゲートとN ANDゲートとは、入力(0, 0)の時の出力が異なるのみである。一方、読み出しデータ線対G I OR, /G I ORがHレベルでプリチャージされる場合には、通常動作時に読み出しデータ線対G I OR, /G I ORが共にLレベルとなることはない。したがって、セルフプリチャージ信号S E L F P R Eを生成するのに、X ORゲート6の代わりにN ANDゲート7を使用することができる。

## 【0016】

N ANDゲートは、一般にX ORゲートより少ないトランジスタで構成できるため、X ORゲート6をN ANDゲート7に置き換えることによって、より少ない占有面積でセルフプリチャージ信号S E L F P R Eを生成することが可能となる。なお、このX ORゲート6からN ANDゲート7への置き換えは、他の実施の形態のX ORゲート6に対しても同様に行なうことができる。

## 【0017】

次に、センスアンプ帯4. 1 A, 4. 2 A, 4. 3 Aを代表したセンスアンプ帯4. 2 Aのうち、X ORゲート6の入力端子に接続された読み出しデータ線対G I OR, /G I OR周辺の具体的回路構成について説明する。

## 【0018】

図3は、この発明の実施の形態1によるセンスアンプ帯4. 2 Aの一部回路構成を示した回路図である。

## 【0019】

図3に示すように、実施の形態1のセンスアンプ帯4.2Aは、メモリセル20を含むメモリブロック5.2と隣接し、センスアンプ10と、PチャネルMOSトランジスタ15と、NチャネルMOSトランジスタ16と、分離ゲート回路17と、読み出しゲート回路30と、プリアンプ40と、メインアンプ41とを含む。

## 【0020】

センスアンプ10は、ビット線対BL, /BLの間に接続され、センスアンプ駆動線SPL側に接続されたPチャネルMOSトランジスタ11, 12と、センスアンプ駆動線SNL側に接続されたNチャネルMOSトランジスタ13, 14とを含む。

## 【0021】

センスアンプ駆動線SPLは、PチャネルMOSトランジスタ15に入力されるセンスアンプ活性化信号/SOPによって電源電位VCCに駆動される。センスアンプ駆動線SNLは、NチャネルMOSトランジスタ16に入力されるセンスアンプ活性化信号SONによって接地電位GNDに駆動される。

## 【0022】

メモリブロック5.2内のメモリセル20は、ゲートがワード線WLに、ドレインがビット線/BLにそれぞれ接続されたNチャネルMOSトランジスタ21と、一方の端子がNチャネルMOSトランジスタ21のソースに接続され、他方の端子が所定の電位に固定されたキャパシタ22とを含む。このメモリセル20は、メモリブロック5.2に含まれる複数のメモリセルの1つを代表して示したものである。

## 【0023】

分離ゲート回路17は、NチャネルMOSトランジスタ18, 19を含み、ビット線分離信号BLIに応じて、ビット線対BL, /BLのセンスアンプ帯4.2A側とメモリブロック5.2側とを電気的に接続/分離する。

## 【0024】

読み出しゲート回路30は、ビット線対BL, /BLの間に接続される。読み出しゲート回路30は、ゲートがビット線対BL, /BLにそれぞれ接続され、ソ

スがともに接地ノードに接続されたNチャネルMOSトランジスタ31, 32と、ソースがNチャネルMOSトランジスタ31, 32のドレインにそれぞれ接続され、ドレインが読み出しデータ線対G I O R, /G I O Rにそれぞれ接続されたNチャネルMOSトランジスタ33, 34とを含む。NチャネルMOSトランジスタ33, 34は、コラム選択線C S L Rの活性化／非活性化に応じてオン／オフする。

## 【0025】

プリアンプ40は、読み出しデータ線対G I O R, /G I O Rに接続される。プリアンプ40は、読み出しデータ線対に読み出されたデータが入力され、プリアンプ活性化信号P A Eに応じて、データをシングルエンド出力する。

## 【0026】

メインアンプ41は、プリアンプ40からシングルエンド出力されたデータをバッファリングして、データ出力ピンQにデータを出力する。

## 【0027】

読み出しデータ線対G I O R, /G I O Rから出力されたデータは、図1のX O Rゲート6または図2のN A N Dゲート7に入力され、X O Rゲート6またはN A N Dゲート7は、読み出しデータ線対G I O R, /G I O Rの電位差が開いたときにセルフプリチャージ信号S E L F P R Eを出力する。

## 【0028】

図4は、この発明の実施の形態1による中央制御回路2A-1の回路構成を示した回路図である。

## 【0029】

図4を参照して、実施の形態1の中央制御回路2A-1は、制御信号e x t A C Tをクロック信号e x t C L Kの立上がりに応じて取込み信号A C Tを出力するDフリップフロップ回路51と、制御信号e x t P R Eをクロック信号e x t C L Kの立上がりに応じて取込むDフリップフロップ回路52と、Dフリップフロップ回路52の出力と図1のX O Rゲート6または図2のN A N Dゲート7から発生したセルフプリチャージ信号S E L F P R Eとを受けてプリチャージ信号P R Eを出力するO Rゲート53と、信号A C T, P R Eを受けるラッチ回路5

4と、ラッチ回路54の出力を受けて反転し信号intRASを出力するインバータ57とを含む。

【0030】

ORゲート53は、Dフリップフロップ回路52の出力が立上がった場合だけでなく、セルフプリチャージ信号SELFPREが立上がった場合にもプリチャージ信号PREを出力する。このため、制御信号extPREによる外部からのプリチャージコマンドがなくともセルフプリチャージ動作が可能となる。

【0031】

また、ラッチ回路54は、信号ACTを一方の入力に受けるORゲート55と、信号PREの反転信号およびORゲート55の出力を受けるNANDゲート56とを含む。NANDゲート56の出力は、ORゲート55の他方の入力に反転して与えられるのと同時に、インバータ57の入力にも与えられる。

【0032】

中央制御回路2A-1は、さらに、信号intRASと信号SRASとを受けるNORゲート58と、NORゲート58の出力を受けて遅延させる遅延回路59と、遅延回路59の出力およびNORゲート58の出力を受けるNANDゲート60と、NANDゲート60の出力を遅延させる遅延回路61と、遅延回路61の出力およびNANDゲート60の出力を受けるNANDゲート62と、NANDゲート62の出力を受けて反転し信号RXTを出力するインバータ63とを含む。信号RXTはワード線の活性化タイミングを示すトリガ信号である。

【0033】

中央制御回路2A-1は、さらに、NANDゲート62の出力を受けて遅延させる遅延回路64と、遅延回路64の出力およびNANDゲート62の出力を受けるNANDゲート65と、NANDゲート65の出力を受けて遅延させる遅延回路66と、遅延回路66の出力およびNANDゲート65の出力を受けるNANDゲート67と、NANDゲート67の出力を受けて反転し信号RALを出力するインバータ68とを含む。信号RALは、ロウアドレスをラッチするタイミングを示す信号である。

【0034】

中央制御回路2A-1は、さらに、セレクタ71, 75を含む。

セレクタ71は、外部から与えられるロウアドレス信号 $ext\ RA<12:8>$ ,  $ext\ RA<1:0>$ と、リフレッシュ時のアドレス $QA<12:0>$ の対応するビットとを受けて、セルフリフレッシュ信号SELFREFがHレベルの場合にはリフレッシュアドレスを出力し、セルフリフレッシュ信号SELFREFがLレベルの場合には外部ロウアドレス信号を出力する。

#### 【0035】

セレクタ75は、外部から与えられるロウアドレス信号 $ext\ RA<7:2>$ とリフレッシュ用のアドレス $QA<12:0>$ の対応するビットとを受けて、セルフリフレッシュ信号SELFREFがHレベルの場合にはセルフリフレッシュ用のアドレスを出力し、セルフリフレッシュ信号SELFREFがLレベルの場合には外部ロウアドレス信号を出力する。

#### 【0036】

中央制御回路2A-1は、さらに、セレクタ71の出力をデコードするデコード回路72と、クロック信号 $ext\ CLK$ , PHYを受けるORゲート73と、ORゲート73の出力の立上がりに応じてデコード回路72の出力を読み込み、デコードされたアドレス信号 $XO<1:0>$ ,  $XN<3:0>$ ,  $XM<3:0>$ ,  $XSD<3:0>$ を出力するDフリップフロップ回路74と、信号 $ext\ CLK$ , PHYを受けるORゲート76と、ORゲート76の出力の立上がりに応じてセレクタ75の出力を読み込みロウアドレス信号 $RA<7:2>$ を出力するDフリップフロップ回路77とを含む。

#### 【0037】

中央制御回路2A-1は、さらに、制御信号 $ext\ SREF$ をクロック信号 $ext\ CLK$ の立上がりに応じて読み込みセルフリフレッシュ信号SELFREFを出力するDフリップフロップ回路78と、セルフリフレッシュ信号SELFREFの活性化に応じてセルフリフレッシュ時のロウアドレスストローブ信号である信号S<sub>RAS</sub>を出力し、リフレッシュ時のアドレス信号 $QA<12:0>$ を発生し、クロック信号PHYを出力するセルフリフレッシュ信号発生回路79とを含む。

## 【0038】

中央制御回路2A-1は、さらに、制御信号extREADをクロック信号extCLKの立上がりに応じて読み込み信号READを出力するDフリップフロップ回路81と、信号READを受けて遅延させる遅延回路82と、遅延回路82の出力および信号READを受けるNANDゲート83と、NANDゲート83の出力を受けて遅延させる遅延回路84と、遅延回路84の出力およびNANDゲート83の出力を受けるNANDゲート85と、NANDゲート85の出力を受けて反転しプリアンプ活性化信号PAEを出力するインバータ86とを含む。

## 【0039】

図5は、中央制御回路2A-1によって制御されるセンスアンプ帶4.2Aの回路動作を説明するための動作波形図である。

## 【0040】

まず、時刻t1において、ACTコマンド（アクティベートコマンド）が発行され、ロウアドレスが入力される。

## 【0041】

ロウアドレスの入力を受けて、時刻t2において、ワード線WLが活性化される。ワード線WLが活性化されることによって、メモリセル20中のNチャネルMOSトランジスタ21がオンし、キャパシタ22からビット線／BLに電荷が流れ込む。その結果、共に予めVCCA／2にイコライズされていたビット線対BL,／BLに微小な電位差が生じる。なお、VCCAは、半導体記憶装置のメモリセルアレイにおける振幅電圧を表わす。

## 【0042】

また、ロウアドレスが入力されることにより、共に予めVCCA／2にイコライズされていたセンスアンプ駆動線SPL, SNLが、電源電位VCC, 接地電位GNDにそれぞれ駆動される。これにより、ビット線対BL,／BLの微小電位差が、電源電位VCCと接地電位GNDとの電位差にまで増幅される。

## 【0043】

時刻t3において、RDコマンド（リードコマンド）が発行され、コラムアドレスが入力される。

## 【0044】

コラムアドレスの入力を受けて、時刻  $t_4$ において、リードコラム選択線CSLRが活性化される。リードコラム選択線CSLRが活性化されることによって、共に予めHレベル（論理ハイ）にプリチャージされていた読み出しデータ線対GIOR, /GIORは、ビット線対BL, /BLに読み出されたデータに基づいて、Hレベル, Lレベルにそれぞれ駆動される。

## 【0045】

このように読み出しデータ線対GIOR, /GIORの電位差が開くことによって、図1のXORゲート6または図2のNANDゲート7を通じてセルフプリチャージ信号SELFPREが発生する。セルフプリチャージ信号SELFPREの発生を受けて、ワード線WLが非活性化されるとともに、時刻  $t_5$ において、センスアンプ駆動線SPL, SNLが共にVCCA/2にイコライズされる。これにより、ビット線対BL, /BLが共にVCCA/2にイコライズされる。

## 【0046】

また、コラムアドレスが入力されることにより、プリアンプ活性化信号PAEが活性化される。このプリアンプ活性化信号PAEの活性化を受けて、読み出しだデータ線対GIOR, /GIORに出力されたデータは、プリアンプ40, メインアンプ41を介して、データ出力ピンQに出力される。

## 【0047】

したがって、RDコマンド発行時に読み出しだデータ線対GIOR, /GIORの電位差が開き次第、自己整合的にプリチャージ動作が実行される。ゆえに、実施の形態1による半導体記憶装置は、RDコマンド発行時に外部からのプリチャージコマンドが不要となり、かつ高速化が容易となる。

## 【0048】

また、プリチャージ動作のタイミングは、プロセスばらつき、電圧上下限、高温/低温といった一般に動作速度が変化する条件に追隨するので、外部コマンドでタイミングが固定されたプリチャージコマンドを発行した場合と比べて、タイミング設計が容易となる。

## 【0049】

なお、上記では読み出し動作時のみセルフプリチャージ動作を行ない、書き込み動作時には外部からプリチャージコマンドを与えることを想定している。しかしながら、書き込み動作時であっても読み出し動作を常に同時に実行なれば、書き込み動作時にもプリチャージ動作を行なうことが可能となり、図4の中央制御回路2A-1において、Dフリップフロップ回路52およびORゲート53を取り除き、セルフプリチャージ信号SELFREを直接ラッチ回路54に入力することも可能となる。この場合の実施の形態については、次の実施の形態2において詳しく説明する。

## 【0050】

図6は、この発明の実施の形態1による中央制御回路2A-2の回路構成を示した回路図である。

## 【0051】

図6に示した実施の形態1の中央制御回路2A-2は、セルフプリチャージ信号SELFREがORゲート53に入力される前段に遅延素子69が挿入された点で、図4の中央制御回路2Aと異なる。このように、セルフプリチャージ信号SELFREを遅延素子69で遅延させてからORゲート53に入力することによって、この発明による半導体記憶装置の動作マージンをさらに向上させることができ、タイミング調整も容易となる。

## 【0052】

図7は、この発明の実施の形態1による中央制御回路2A-3の回路構成を示した回路図である。

## 【0053】

図7に示した実施の形態1の中央制御回路2A-3は、信号READおよびその遅延信号の代わりにセルフプリチャージ信号SELFREおよびその遅延信号をNANDゲート83に入力し、最終的にプリアンプ活性化信号を生成する点で、図4の中央制御回路2A-1と異なる。

## 【0054】

図8は、中央制御回路2A-3によって制御されるセンスアンプ帯4、2Aの回路動作を説明するための動作波形図である。

## 【0055】

図8に示した動作波形図は、コラムアドレスの入力によってではなく、セルフプリチャージ信号SELFPREの発生を受けて、プリアンプ活性化信号PAEが活性化される点で、図5の動作波形図と異なる。

## 【0056】

このように、セルフプリチャージ信号SELFPREの発生を受けてプリアンプ活性化信号PAEが活性化されることで、コラムアドレスの入力を受けた場合と比べてプリアンプ活性化信号PAEが活性化されるまでの遅延量が少なくて済む。また、プリアンプ活性化信号PAEの活性化が読み出しデータ線対GIOR, /GIORの電位差の開きに追随するため、タイミング設計が容易となる。

## 【0057】

以上のように、実施の形態1によれば、RDコマンド発行時に読み出しデータ線対GIOR, /GIORの電位差が開き次第、自己整合的にプリチャージ動作が実行されることによって、RDコマンド発行時に外部からのプリチャージコマンドが不要となり、かつ高速化が容易となる。

## 【0058】

## 【実施の形態2】

図9は、この発明の実施の形態2による半導体記憶装置1Bの全体構成を示した概略ブロック図である。

## 【0059】

図9に示した実施の形態2の半導体記憶装置1Bは、中央制御回路2A, センスアンプ帯4.1A, 4.2A, 4.3Aが、中央制御回路2B, センスアンプ帯4.1B, 4.2B, 4.3Bにそれぞれ置き換えられた構成となっている。中央制御回路2B、およびセンスアンプ帯4.1B, 4.2B, 4.3Bを代表したセンスアンプ帯4.2Bの具体的構成については後に詳述する。なお、実施の形態1の図2に関連して説明したように、図9のXORゲート6は、NANDゲート7と置換可能である。

## 【0060】

図10は、この発明の実施の形態2によるセンスアンプ帯4.2Bの一部回路

構成を示した回路図である。

【0061】

図10に示した実施の形態2のセンスアンプ帯4.2Bは、図2に示した実施の形態1のセンスアンプ帯4.2Aにおける読み出しゲート回路30が読み出しゲート回路30aに置き換えられた構成となっている。読み出しゲート回路30aは、NチャネルMOSトランジスタ31, 32のソースが、接地ノードではなくセンスアンプ駆動線SNLに接続されている点で、読み出しゲート回路30と異なる。

【0062】

実施の形態2のセンスアンプ帯4.2Bでは、NチャネルMOSトランジスタ31, 32のソースがセンスアンプ駆動線SNLに接続されているので、センスアンプ10が活性化するまではNチャネルMOSトランジスタ27, 28は共にオフの状態となる。

【0063】

よって、センスアンプ10が活性化される前にリードコラム選択線CSLRを選択しても、NチャネルMOSトランジスタ31, 32が共にオフの状態のため、プリチャージされた読み出しデータ線対GIOR, /GIORの電荷が共にグランドに向けて引き抜かれることはなく、プリアンプの入力が共にLレベルとはならないので、正常なデータ読み出しが可能である。

【0064】

したがって、NチャネルMOSトランジスタ31, 32のソースがセンスアンプ駆動線SNLに接続されることによって、センスアンプ10が活性化される前にリードコラム選択線CSLRを選択しておくことが可能となる。これにより、従来の半導体記憶装置において必要だった、ACTコマンド発行からRDコマンド発行までの待ち時間をなくすことが可能となった。

【0065】

ゆえに、実施の形態2の半導体記憶装置は、従来の半導体記憶装置のようにセンスアンプが活性化されてビット線間の電圧が十分増幅されるのを待ってからコラム選択線を活性化するのに比べて、データを高速に読み出すことができる。同じことは、データを高速に書き込む際にも言える。

## 【0066】

なお、センスアンプでの増幅が十分行なわれてからコラム選択線の活性化を行なうようにするためのタイミング調整には、一般に遅延素子が用いられる。しかしながら、遅延素子の遅延値は、プロセスばらつきや電源電圧および周囲温度の変動などにより大きくばらつく場合がある。従来の半導体記憶装置では、このばらつきをマージンに含めてタイミング調整を行なわねばならず、データ出力が遅くなる要因の一つとなっていた。

## 【0067】

これに対して、実施の形態2の半導体記憶装置では、コラム選択線の動作タイミングを細かく調整する必要がないので、プロセスばらつきや電源電圧および周囲温度の変動などによる影響を受けにくい。そのため、プロセスばらつきがワーストに振れた場合や電圧下限および高温状態など一般に半導体記憶装置の動作が遅れる条件下でも、従来の半導体記憶装置に比べて動作の遅れを小さくできる。

## 【0068】

図11は、この発明の実施の形態2による中央制御回路2B-1の回路構成を示した回路図である。ここでは、図4に示した実施の形態1の中央制御回路2A-1と異なる部分について説明する。

## 【0069】

図11を参照して、中央制御回路2B-1は、制御信号ext WRITEをクロック信号ext CLKの立上がりに応じて取込むDフリップフロップ回路101と、Dフリップフロップ回路101の出力信号WRITEおよびDフリップフロップ回路81の出力信号READを受けて信号ACTを出力するORゲート102と、信号ACTおよびセルフプリチャージ信号SELFPREを受けるラッチ回路54aと、ラッチ回路54aの出力を受けて反転し信号int RASを出力するインバータ57aとを含む。

## 【0070】

ORゲート102は、信号WRITEまたはREADの立上がりを受けて信号ACTを出力する。また、ラッチ回路54aは、こうして生成された信号ACTを一方の入力に受け、もう一方の入力にはセルフプリチャージ信号SELFPR

Eが直接入力される。

【0071】

また、ラッチ回路54aは、信号ACTを一方の入力に受けるORゲート55aと、セルフプリチャージ信号SELFPREの反転信号およびORゲート55aの出力を受けNANDゲート56aとを含む。NANDゲート56aの出力は、ORゲート55aの他方の入力に反転して与えられるのと同時に、インバータ57aの入力にも与えられる。

【0072】

このように、Dフリップフロップ回路52およびORゲート53を取り除き、セルフプリチャージ信号SELFPREを直接ラッチ回路54に入力することによって、タイミング設計がさらに容易となる。

【0073】

図12は、中央制御回路2B-1によって制御されるセンスアンプ帯4.2Bの回路動作を説明するための動作波形図である。

【0074】

まず、時刻t1において、RDコマンド(リードコマンド)が発行され、ロウアドレスおよびコラムアドレスが同時に入力される。なお、実施の形態2では、書き込み動作時であっても、常に読み出し動作を同時に行なうこととする。

【0075】

ロウアドレスの入力を受けて、ワード線WLが活性化される。ワード線WLが活性化されることによって、メモリセル20中のNチャネルMOSトランジスタ21がオンし、キャパシタ22からビット線/B<sub>L</sub>に電荷が流れ込む。その結果、共に予めVCCa/2にイコライズされていたビット線対B<sub>L</sub>、/B<sub>L</sub>に微小な電位差が生じる。

【0076】

一方、ロウアドレスと同時に入力されたコラムアドレスの入力を受けて、センスアンプ10が活性化される前にリードコラム選択線CSLRが活性化される。

【0077】

リードコラム選択線CSLRが活性化された後、ロウアドレスの入力を受けて

、共に予めVCCa/2にイコライズされていたセンスアンプ駆動線SPL, SNLが電源電位VCC, 接地電位GNDにそれぞれ駆動される。これにより、ビット線対BL, /BLの微小電位差が、電源電位VCCと接地電位GNDとの電位差にまで増幅される。

## 【0078】

ビット線対BL, /BLの微小電位差が、電源電位VCCと接地電位GNDとの電位差にまで増幅されることにより、共に予めHレベル（論理ハイ）にプリチャージされていた相補の読み出しデータ線対GIOR, /GIORは、ビット線対BL, /BLに読み出されたデータに基づいて、Hレベル, Lレベルにそれぞれ駆動される。

## 【0079】

このように読み出しデータ線対GIOR, /GIORの電位差が開くことによって、図9のXORゲート6（または、NANDゲート7）を通じてセルフプリチャージ信号SELFREが発生する。セルフプリチャージ信号SELFREの発生を受けて、ワード線WLが非活性化されるとともに、センスアンプ駆動線SPL, SNLが共にVCCa/2にイコライズされる。これにより、ビット線対BL, /BLが共にVCCa/2にイコライズされる。

## 【0080】

また、コラムアドレスが入力されることにより、プリアンプ活性化信号PAEが活性化される。このプリアンプ活性化信号PAEの活性化を受けて、読み出しだデータ線対GIOR, /GIORに出力されたデータは、プリアンプ40, メインアンプ41を介して、データ出力ピンQに出力される。

## 【0081】

したがって、RDコマンド発行時に読み出しだデータ線対GIOR, /GIORの電位差が開き次第、自己整合的にプリチャージ動作が実行される。ゆえに、実施の形態2の半導体記憶装置は、RDコマンド発行時に外部からのプリチャージコマンドが不要となり、かつ高速化が容易となる。

## 【0082】

また、プリチャージ動作のタイミングは、プロセスばらつき、電圧上下限、高

温／低温といった一般に動作速度が変化する条件に追随し、かつセルフプリチャージ信号SELFPREがラッチ回路54aに直接入力されるので、外部コマンドでタイミングが固定されたプリチャージコマンドを発行した場合と比べて、タイミング設計がさらに容易となる。

## 【0083】

図13は、この発明の実施の形態2による中央制御回路2B-2の回路構成を示した回路図である。

## 【0084】

図13に示した実施の形態2の中央制御回路2B-2は、セルフプリチャージ信号SELFPREがORゲート102に入力される前段に遅延素子69が挿入された点で、図10の中央制御回路2B-1と異なる。このように、セルフプリチャージ信号SELFPREを遅延素子69で遅延させてからORゲート102に入力することによって、この発明による半導体記憶装置の動作マージンをさらに向上させることができ、タイミング調整も容易となる。

## 【0085】

図14は、この発明の実施の形態2による中央制御回路2B-3の回路構成を示した回路図である。

## 【0086】

図14に示した実施の形態2の中央制御回路2B-3は、信号READおよびその遅延信号の代わりにセルフプリチャージ信号SELFPREおよびその遅延信号をNANDゲート83に入力し、最終的にプリアンプ活性化信号を生成する点で、図10の中央制御回路2Bと異なる。

## 【0087】

図15は、中央制御回路2B-3によって制御されるセンスアンプ帯4.2Bの回路動作を説明するための動作波形図である。

## 【0088】

図15に示した動作波形図は、コラムアドレスの入力によってではなく、セルフプリチャージ信号SELFPREの発生を受けて、プリアンプ活性化信号PAEが活性化される点で、図12の動作波形図と異なる。

## 【0089】

このように、セルフプリチャージ信号SELFPREの発生を受けてプリアンプ活性化信号PAEが活性化されることで、コラムアドレスの入力を受けた場合と比べてプリアンプ活性化信号PAEが活性化されるまでの遅延量が少なくて済む。また、プリアンプ活性化信号PAEの活性化が読み出しデータ線対GIOR, /GIORの電位差の開きに追随するため、タイミング設計が容易となる。

## 【0090】

以上のように、実施の形態2では、実施の形態1での効果に加えて、NチャネルMOSトランジスタ31, 32のソースがセンスアンプ駆動線SNLに接続されることによって、高速なランダムアクセスを実現しつつ、常に正常なデータ読み出しが可能となる。

## 【0091】

また、セルフプリチャージ信号SELFPREがラッチ回路54aに直接入力されることによって、タイミング設計がさらに容易となる。

## 【0092】

## 【実施の形態3】

図16は、この発明の実施の形態3による半導体記憶装置1Cの全体構成を示した概略ブロック図である。

## 【0093】

図16に示した実施の形態3の半導体記憶装置1Cは、実施の形態2の半導体記憶装置1Bの構成において、複数の読み出しデータ線対GIOR<m>, /GIOR<m> (m = 1 ~ n : nは自然数) が実際に図示され、その中からXORゲート6の入力端子に到達するまでの距離が最短となる読み出しデータ線対GIOR<0>, /GIOR<0>がXORゲート6に接続された構成となっている。なお、この実施の形態3による半導体記憶装置1Cの構成は、実施の形態1の半導体記憶装置1Aに対しても適応することが可能である。

## 【0094】

このように、読み出しデータ線対がXORゲート6の入力端子に到達するまでの距離が短くなることによって、セルフプリチャージのタイミングを早めることが

可能となる。

【0095】

なお、読み出しデータ線対がXORゲート6の入力端子に到達するまでの距離は必ずしも最短でなくてもよく、XORゲート6の入力端子に到達するまでの距離が最長となる読み出しデータ線対G I O R<n>, /G I O R<n>以外の読み出しデータ線対であれば、同様の効果が得られる。また、実施の形態1の図2に関連して説明したように、XORゲート6はNANDゲート7と置換可能である。

【0096】

以上のように、実施の形態3によれば、読み出しデータ線対がXORゲート6の入力端子に到達するまでの距離を短くすることによって、半導体記憶装置の動作がさらに高速化される。

【0097】

【実施の形態4】

図17は、この発明の実施の形態4による半導体記憶装置1Dの全体構成を示した概略ブロック図である。

【0098】

図17に示した実施の形態4の半導体記憶装置1Dは、実施の形態2の半導体記憶装置1Bの構成において、複数の読み出しデータ線対G I O R<m>, /G I O R<m> (m=1~n : nは自然数) が実際に図示され、I O選択回路8が附加された構成となっている。なお、この実施の形態4による半導体記憶装置1Dの構成は、実施の形態1の半導体記憶装置1Aに対しても適応することが可能である。

【0099】

I O選択回路8は、複数の読み出しデータ線対G I O R<m>, /G I O R<m>の入力を受け、これらの中からある任意の読み出しデータ線対を選択し、その読み出しデータ線対のデータをXORゲート6に出力する。I O選択回路8の選択手段としては、たとえばマスク切替え手段、あるいはヒューズプログラミングその他の既知のプログラミング手段などが利用できる。

【0100】

このように、複数の読み出しデータ線対の中から任意の読み出しデータ線対を選択できることによって、セルフプリチャージのタイミングをより柔軟に設定することができ、その結果、半導体記憶装置の動作の歩留まりが改善される。なお、実施の形態1の図2に関連して説明したように、XORゲート6はNANDゲート7と置換可能である。

#### 【0101】

以上のように、実施の形態4によれば、複数の読み出しデータ線対の中から任意の読み出しデータ線対を選択できるようにすることによって、実施の形態3での効果に加えて、半導体記憶装置の動作の歩留まりが改善される。

#### 【0102】

なお、これまで述べてきた実施の形態において、セルフプリチャージ用に使用する読み出し入出力線のみに書き込み時も読み出しデータを読み出せるようにし、セルフプリチャージ用に使用しない読み出し入出力線には読み出し時のみ読み出しデータを読み出せるようにすることも可能である。こうすることにより、書き込み時の動作電流を減少させることができる。

#### 【0103】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0104】

##### 【発明の効果】

以上のように、この発明によれば、新たな外部信号線および外部制御を必要とせずにメモリ動作の高速化が可能となる。

##### 【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体記憶装置1Aの全体構成を示した概略ブロック図である。

【図2】 この発明の実施の形態1による半導体記憶装置1Aの全体構成を示した概略ブロック図の変形例である。

【図3】 この発明の実施の形態1によるセンスアンプ帯4. 2Aの一部回路構成を示した回路図である。

【図4】 この発明の実施の形態1による中央制御回路2A-1の回路構成を示した回路図である。

【図5】 中央制御回路2A-1によって制御されるセンスアンプ帯4. 2Aの回路動作を説明するための動作波形図である。

【図6】 この発明の実施の形態1による中央制御回路2A-2の回路構成を示した回路図である。

【図7】 この発明の実施の形態1による中央制御回路2A-3の回路構成を示した回路図である。

【図8】 中央制御回路2A-3によって制御されるセンスアンプ帯4. 2Aの回路動作を説明するための動作波形図である。

【図9】 この発明の実施の形態2による半導体記憶装置1Bの全体構成を示した概略ブロック図である。

【図10】 この発明の実施の形態2によるセンスアンプ帯4. 2Bの一部回路構成を示した回路図である。

【図11】 この発明の実施の形態2による中央制御回路2B-1の回路構成を示した回路図である。

【図12】 中央制御回路2B-1によって制御されるセンスアンプ帯4. 2Bの回路動作を説明するための動作波形図である。

【図13】 この発明の実施の形態2による中央制御回路2B-2の回路構成を示した回路図である。

【図14】 この発明の実施の形態2による中央制御回路2B-3の回路構成を示した回路図である。

【図15】 中央制御回路2B-3によって制御されるセンスアンプ帯4. 2Bの回路動作を説明するための動作波形図である。

【図16】 この発明の実施の形態3による半導体記憶装置1Cの全体構成を示した概略ブロック図である。

【図17】 この発明の実施の形態4による半導体記憶装置1Dの全体構成

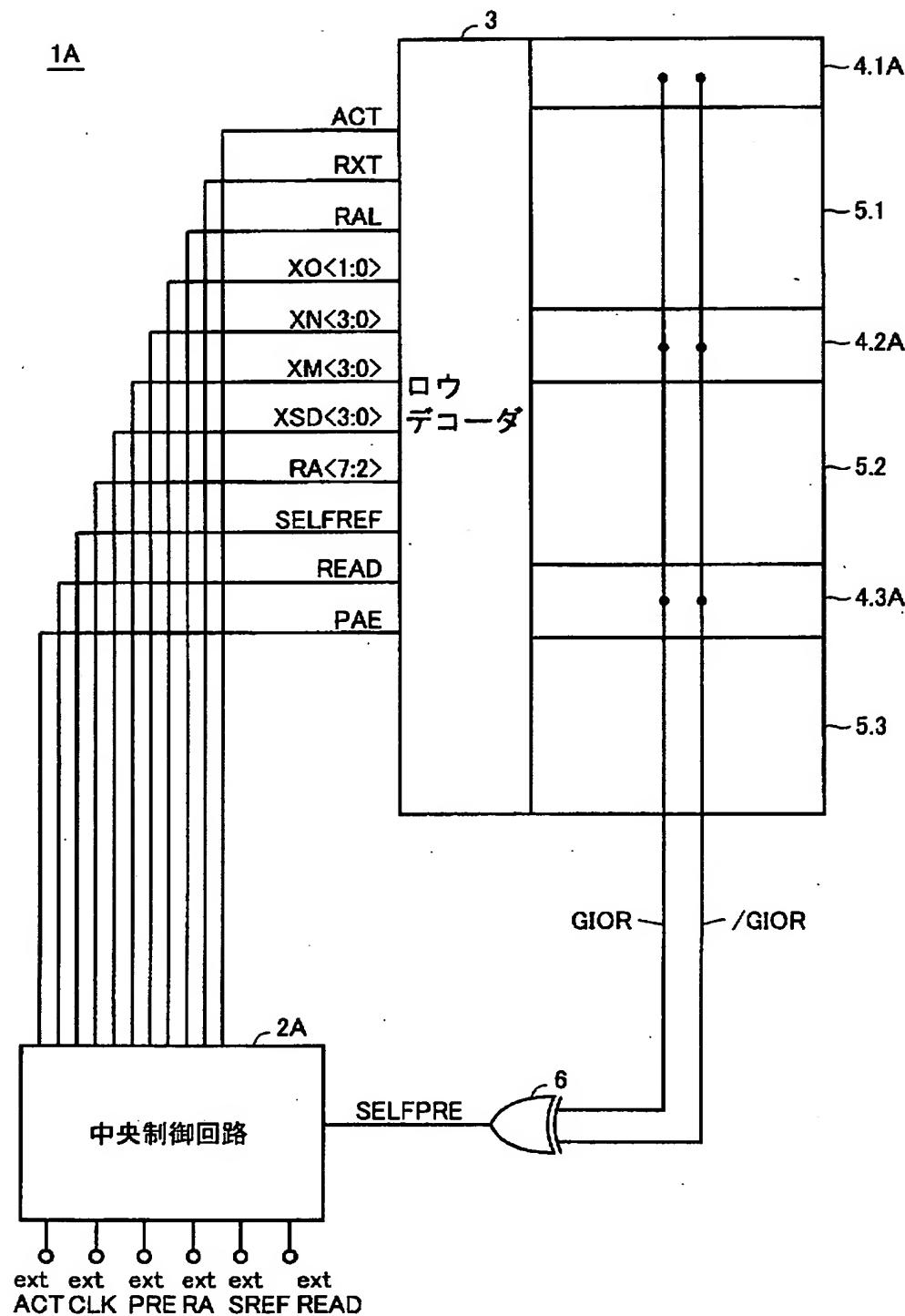
を示した概略ブロック図である。

【符号の説明】

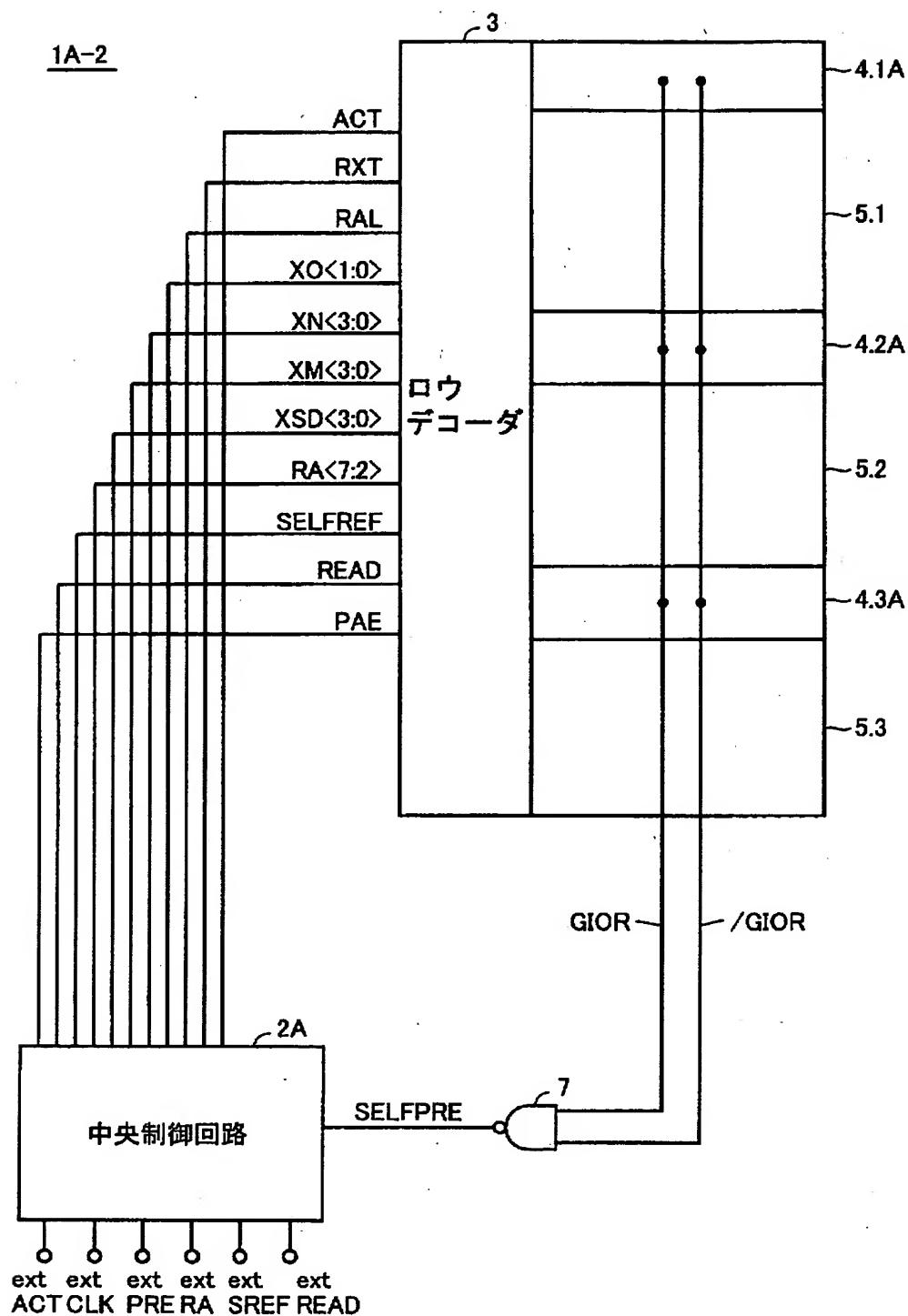
1 A, 1 A-2, 1 B, 1 C, 1 D 半導体記憶装置、2 A, 2 B 中央制御回路、3 ロウデコーダ、4. 1 A, 4. 2 A, 4. 3 A, 4. 1 B, 4. 2 B, 4. 3 B センスアンプ帯、5. 1, 5. 2, 5. 3 メモリブロック、6 XORゲート、7, 60, 62, 65, 67, 83, 85 NANDゲート、8 IO選択回路、10 センスアンプ、15 PチャネルMOSトランジスタ、16, 21 NチャネルMOSトランジスタ、17 分離ゲート回路、20 メモリセル、22 キャパシタ、30, 30a 読出しゲート回路、40 プリアンプ、41 メインアンプ、51, 52, 74, 77, 78, 81, 101 Dフリップフロップ回路、53, 73, 76, 102 ORゲート、54, 54a ラッチ回路、57, 57a, 63, 68, 86 インバータ、58 NORゲート、59, 61, 64, 66, 69, 82, 84 遅延回路、71, 75 セレクタ、72 デコード回路、79 セルフリフレッシュ信号発生回路。

【書類名】図面

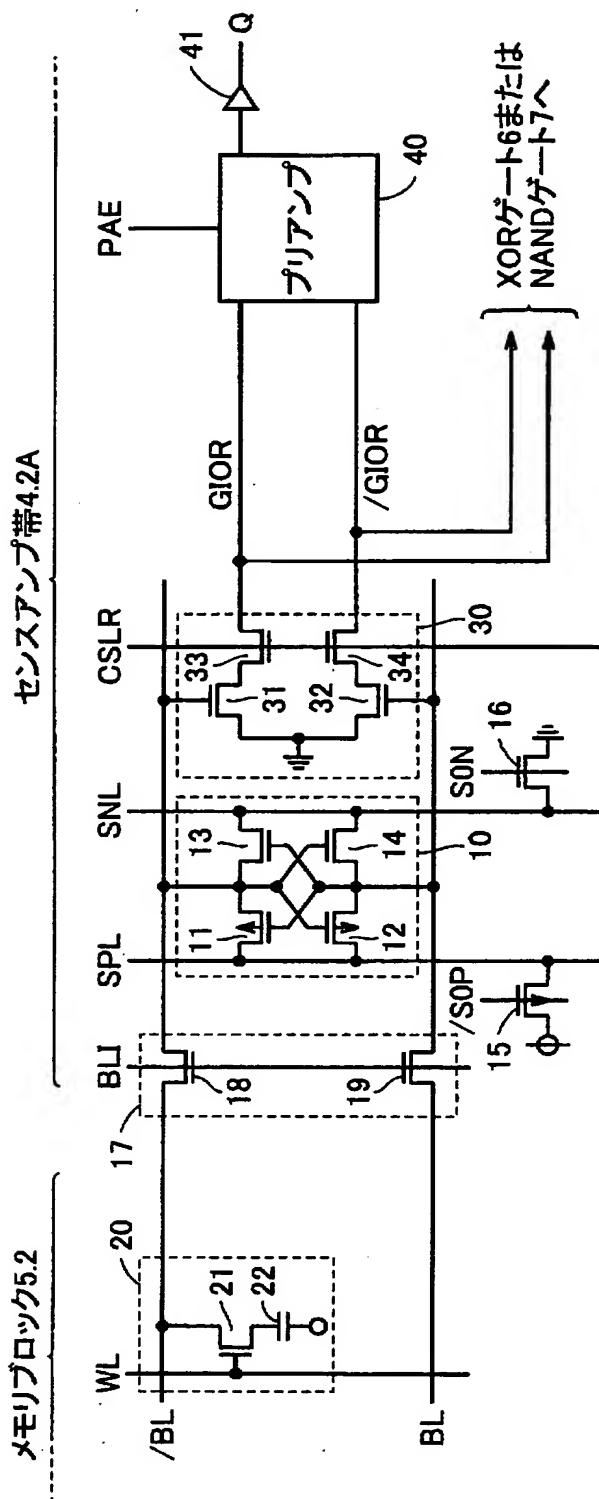
【図1】



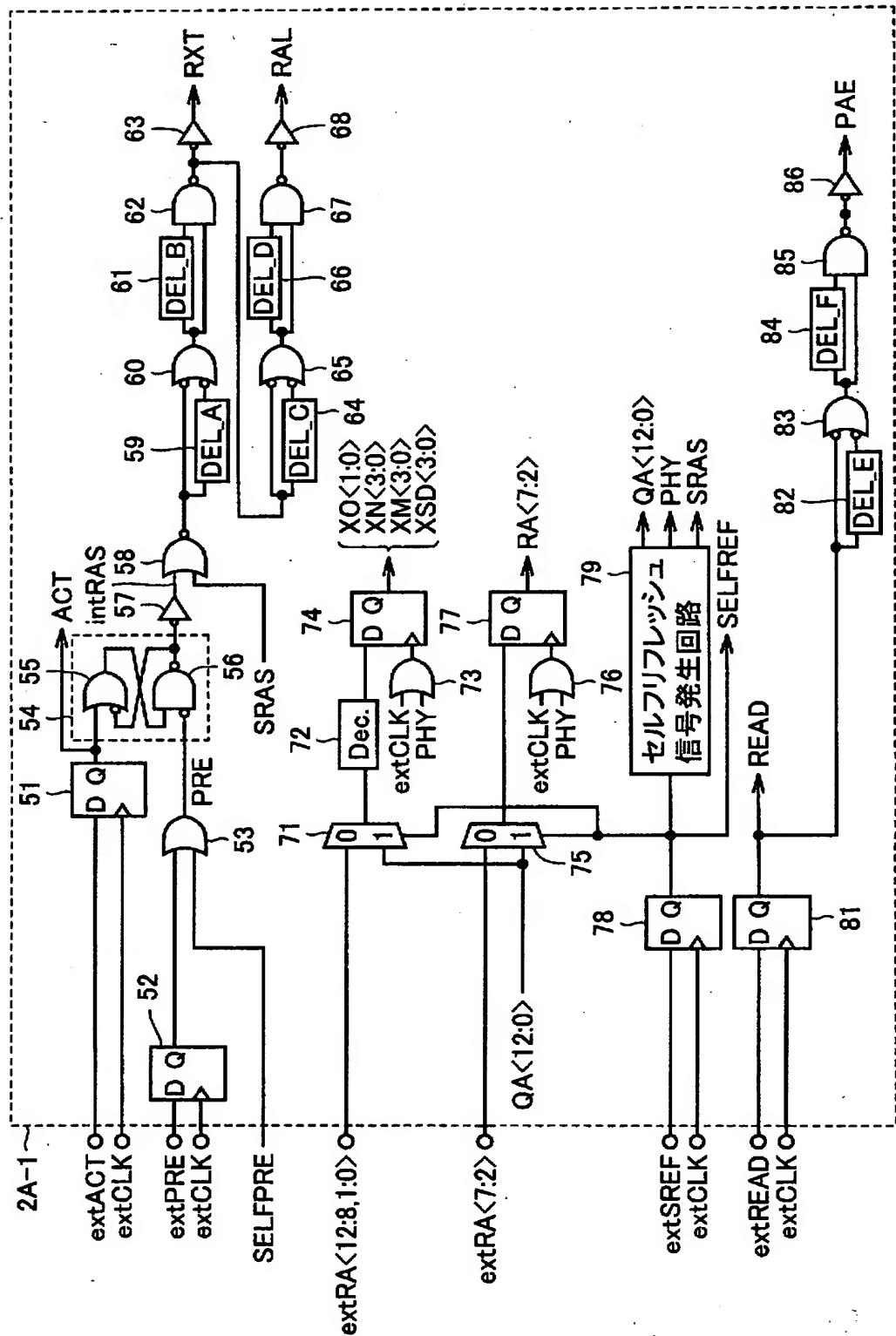
【図2】



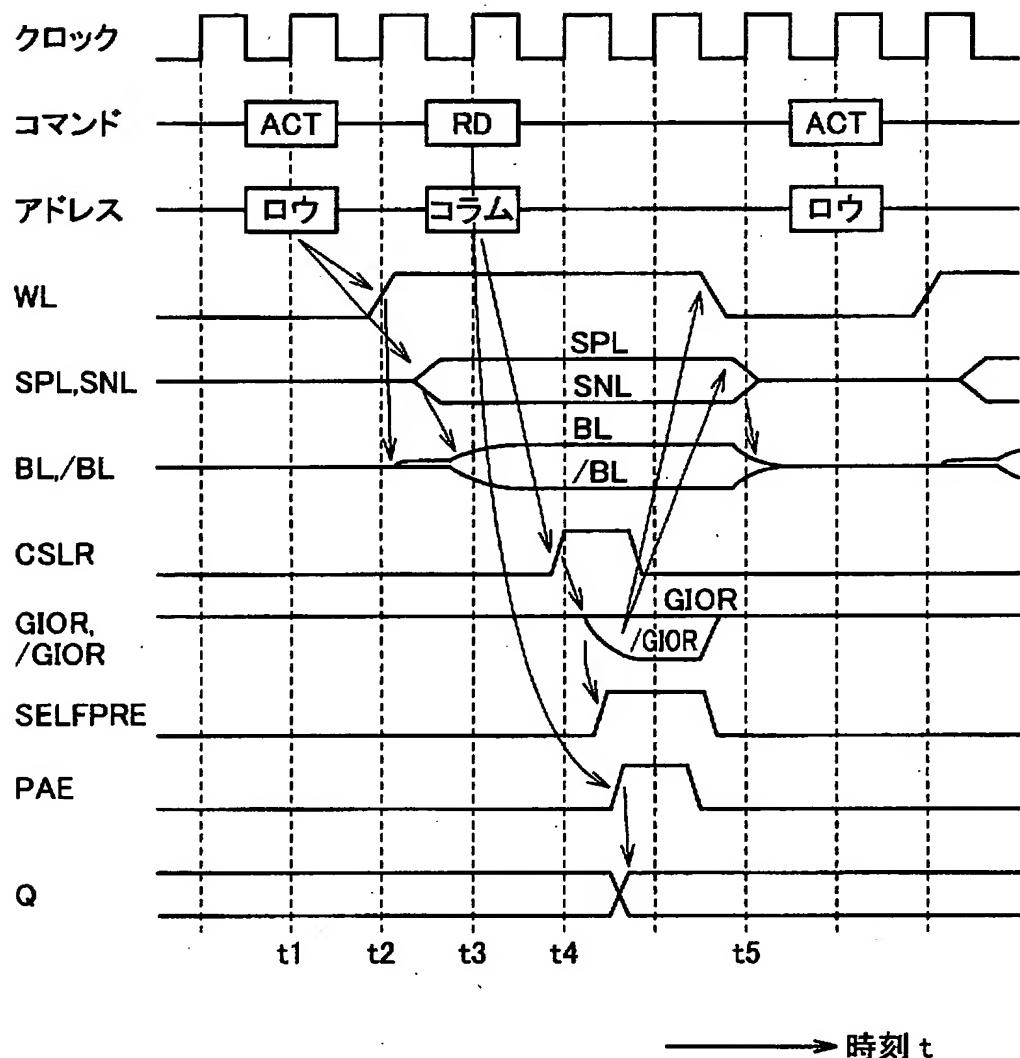
【図3】



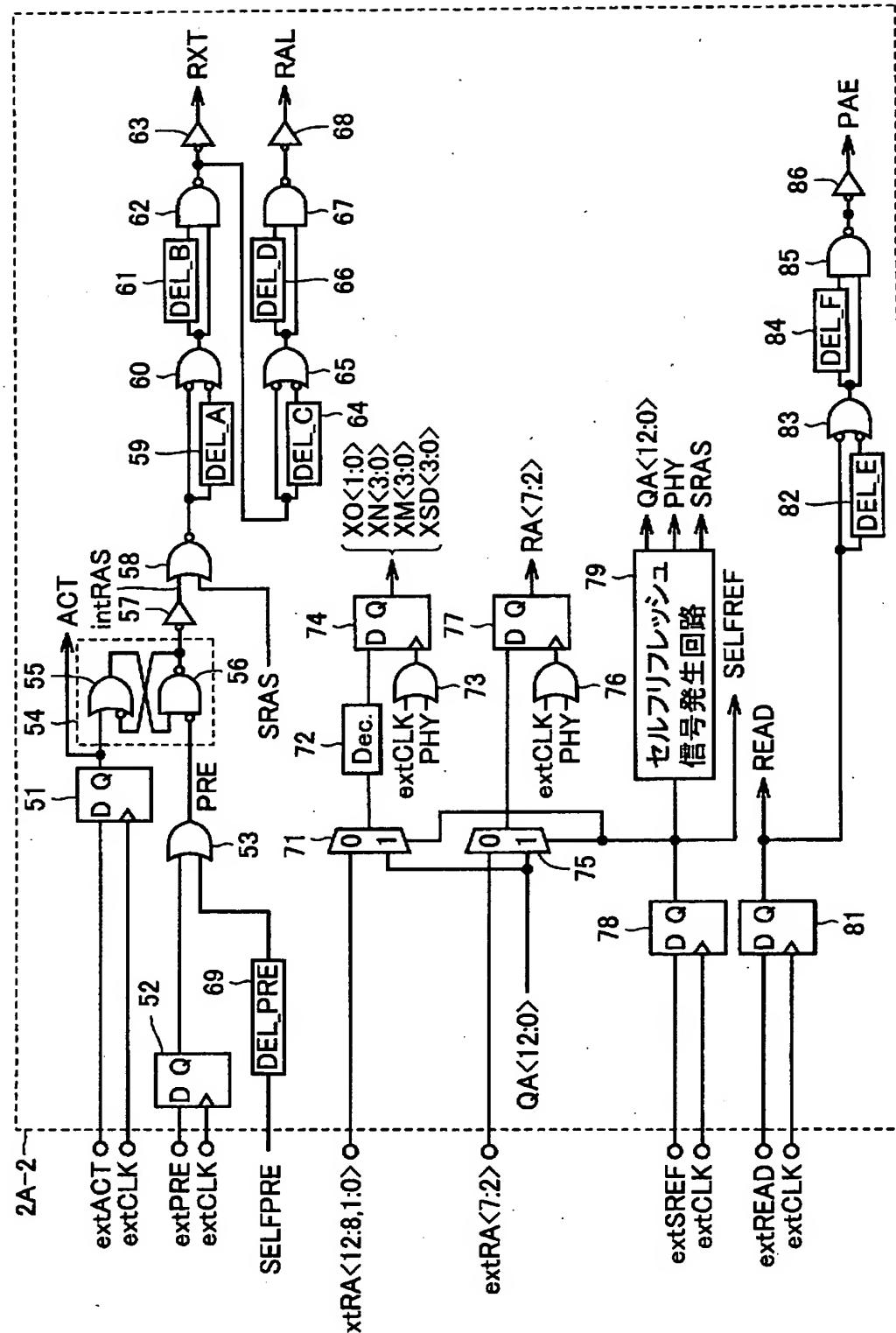
【図4】



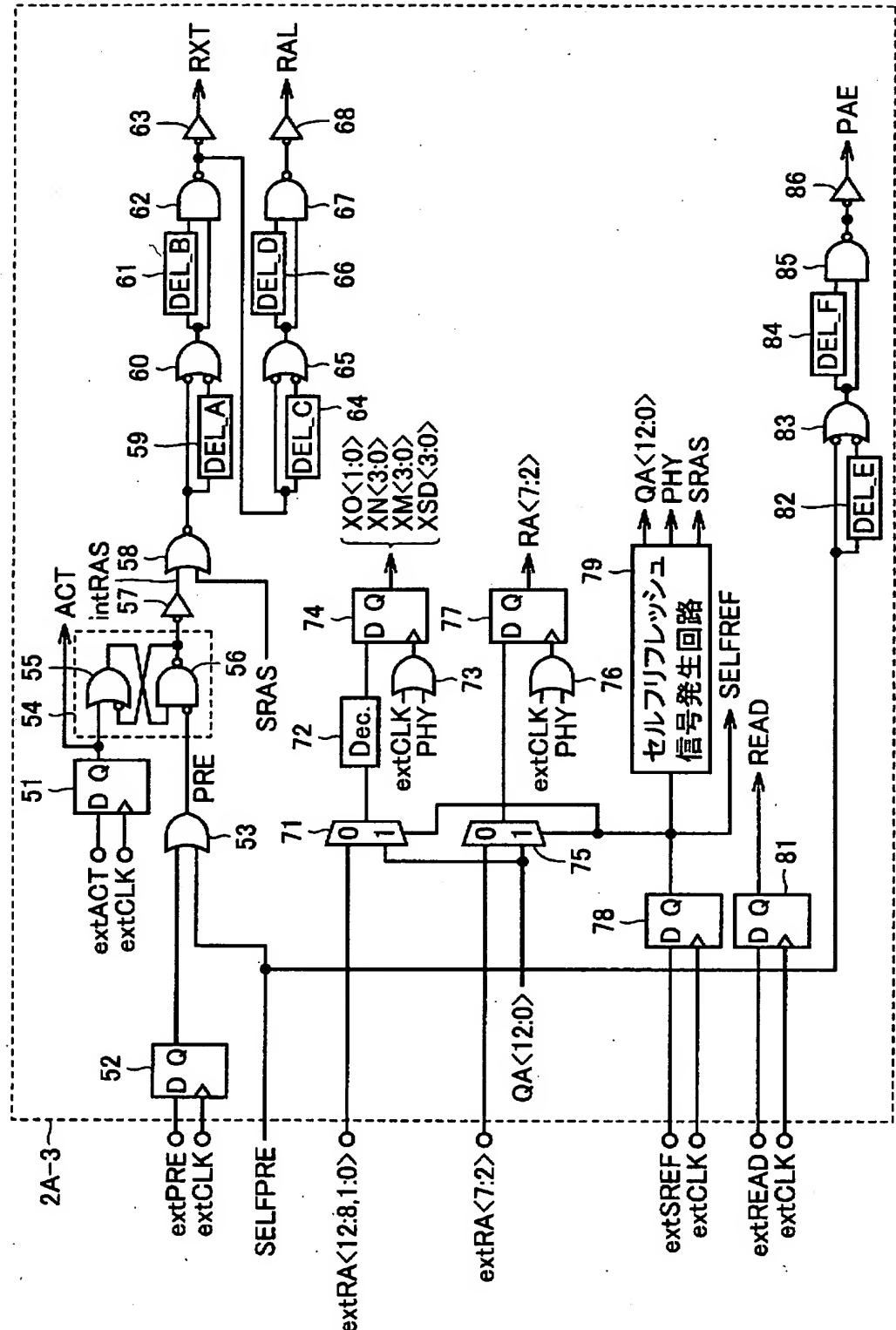
【図5】



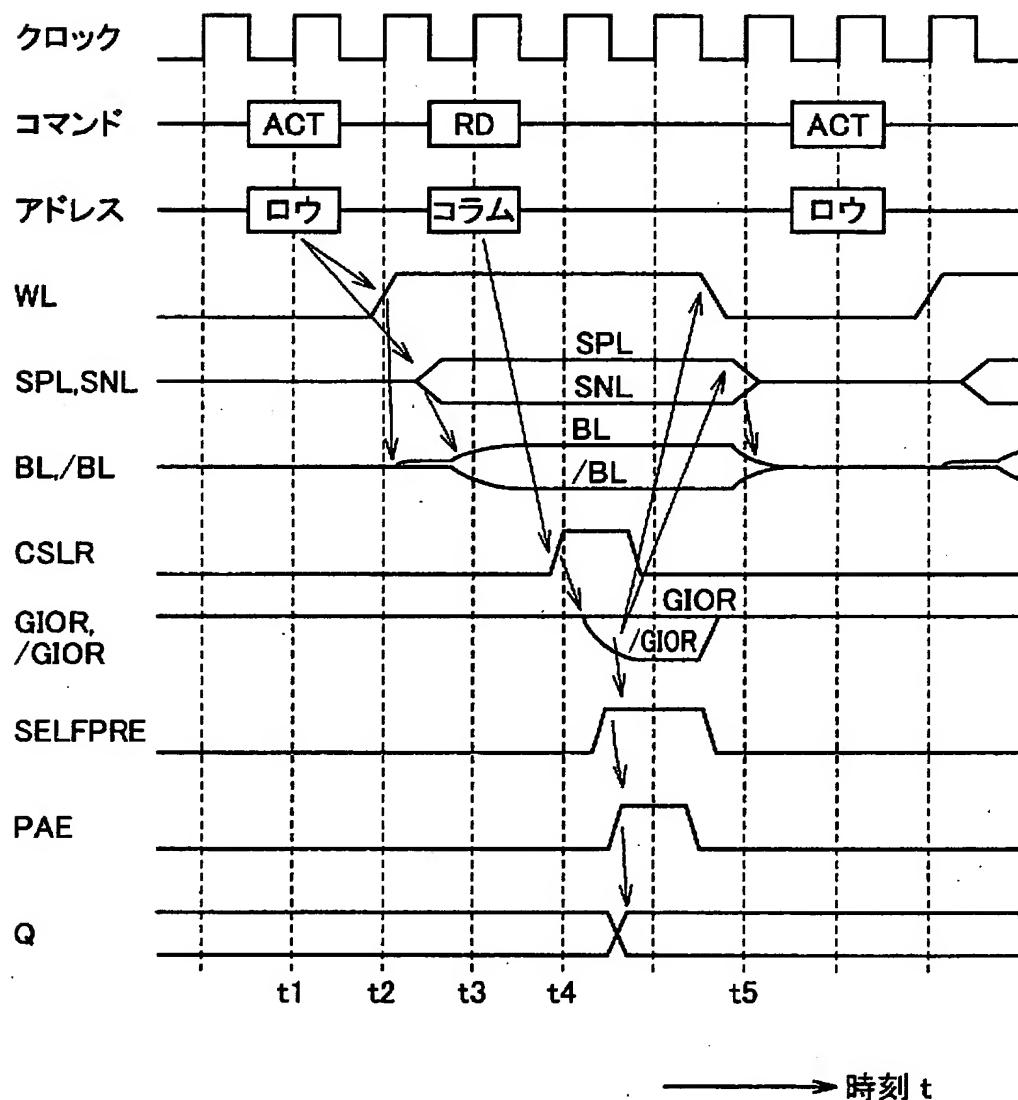
【図6】



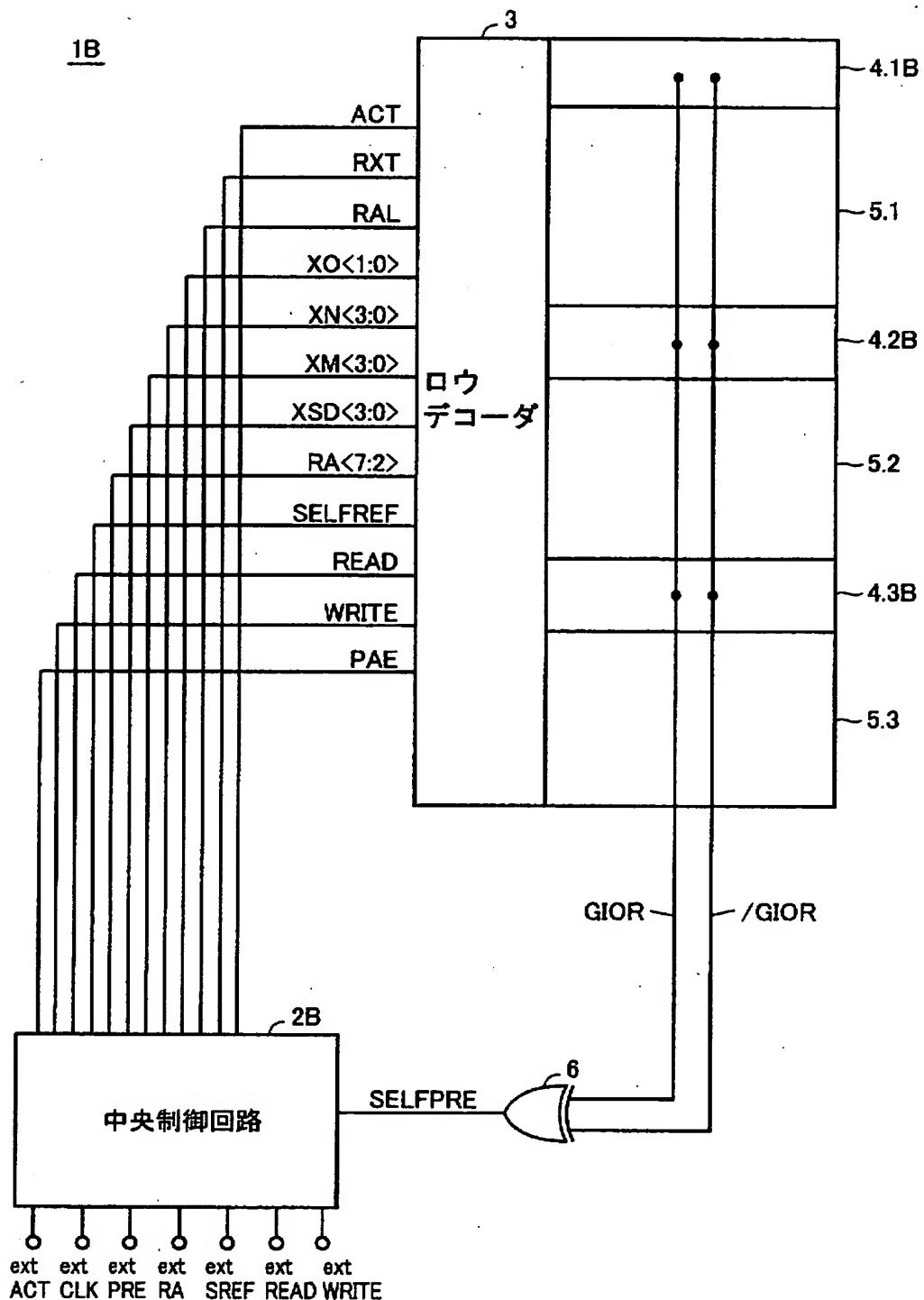
【図7】



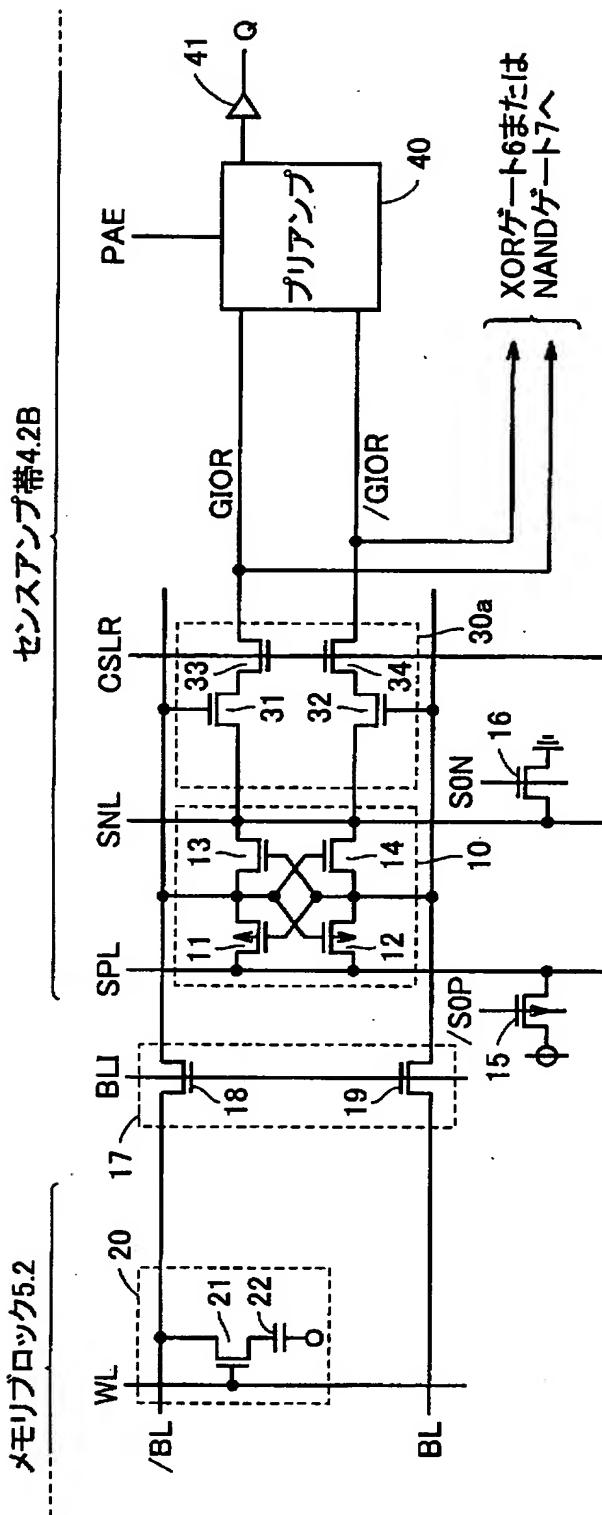
【図8】



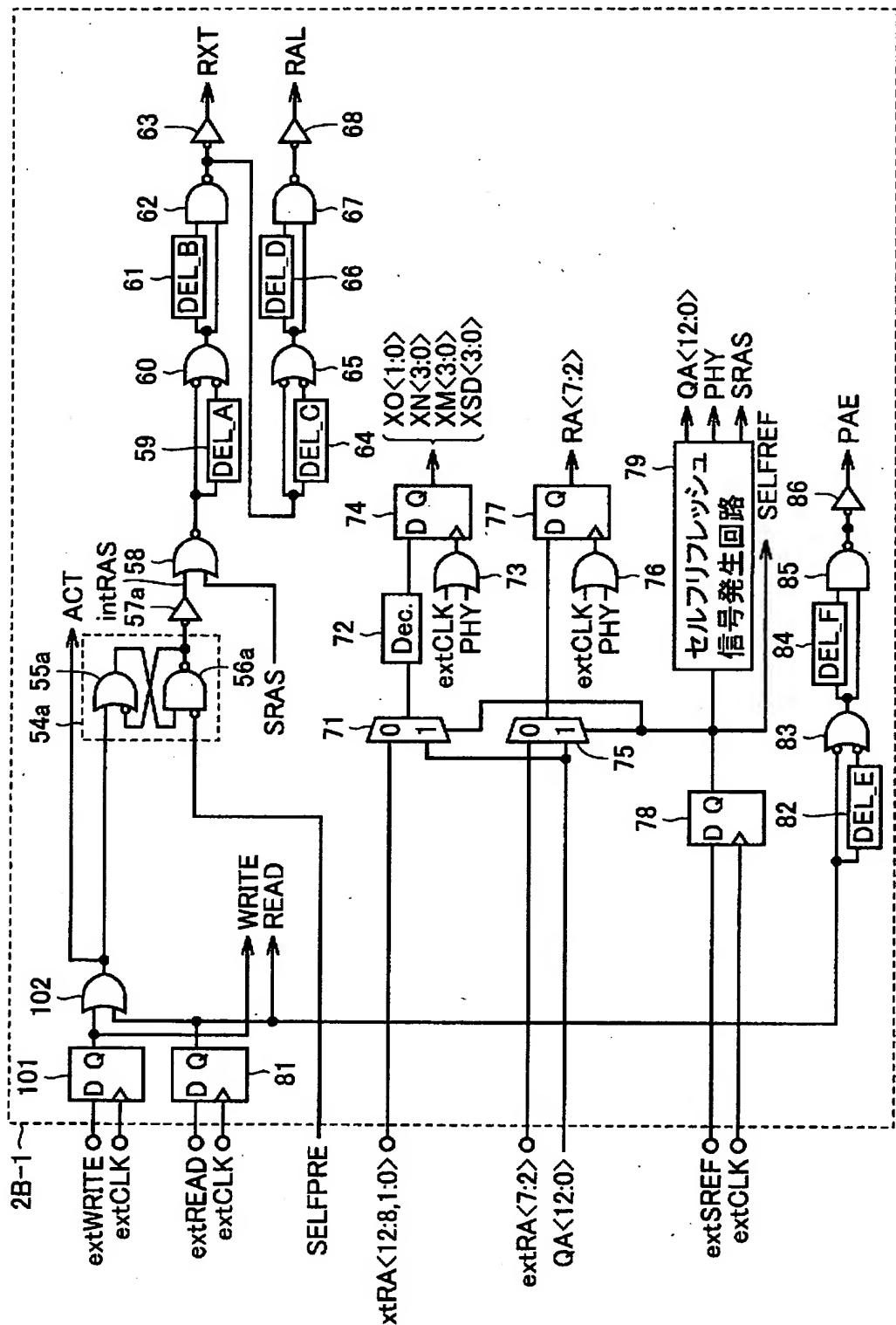
【図9】



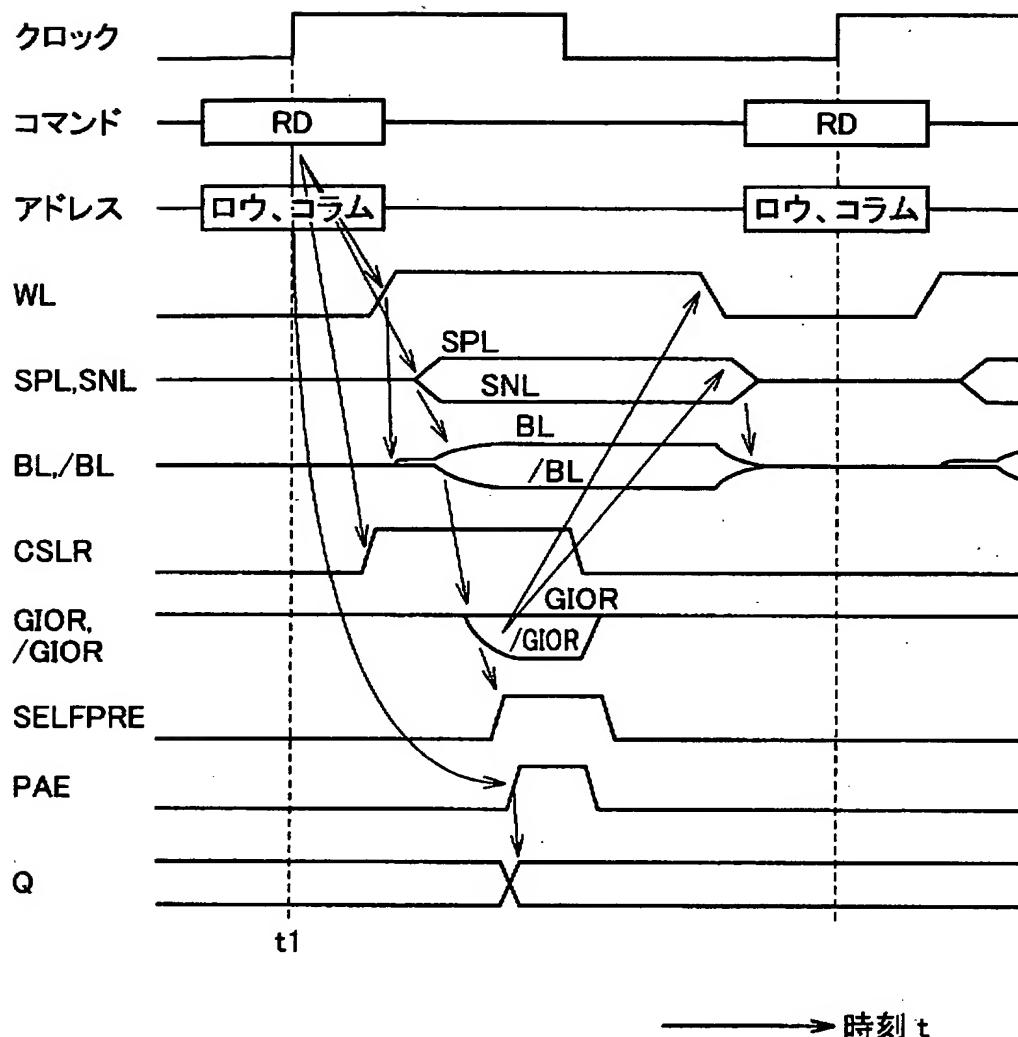
【図10】



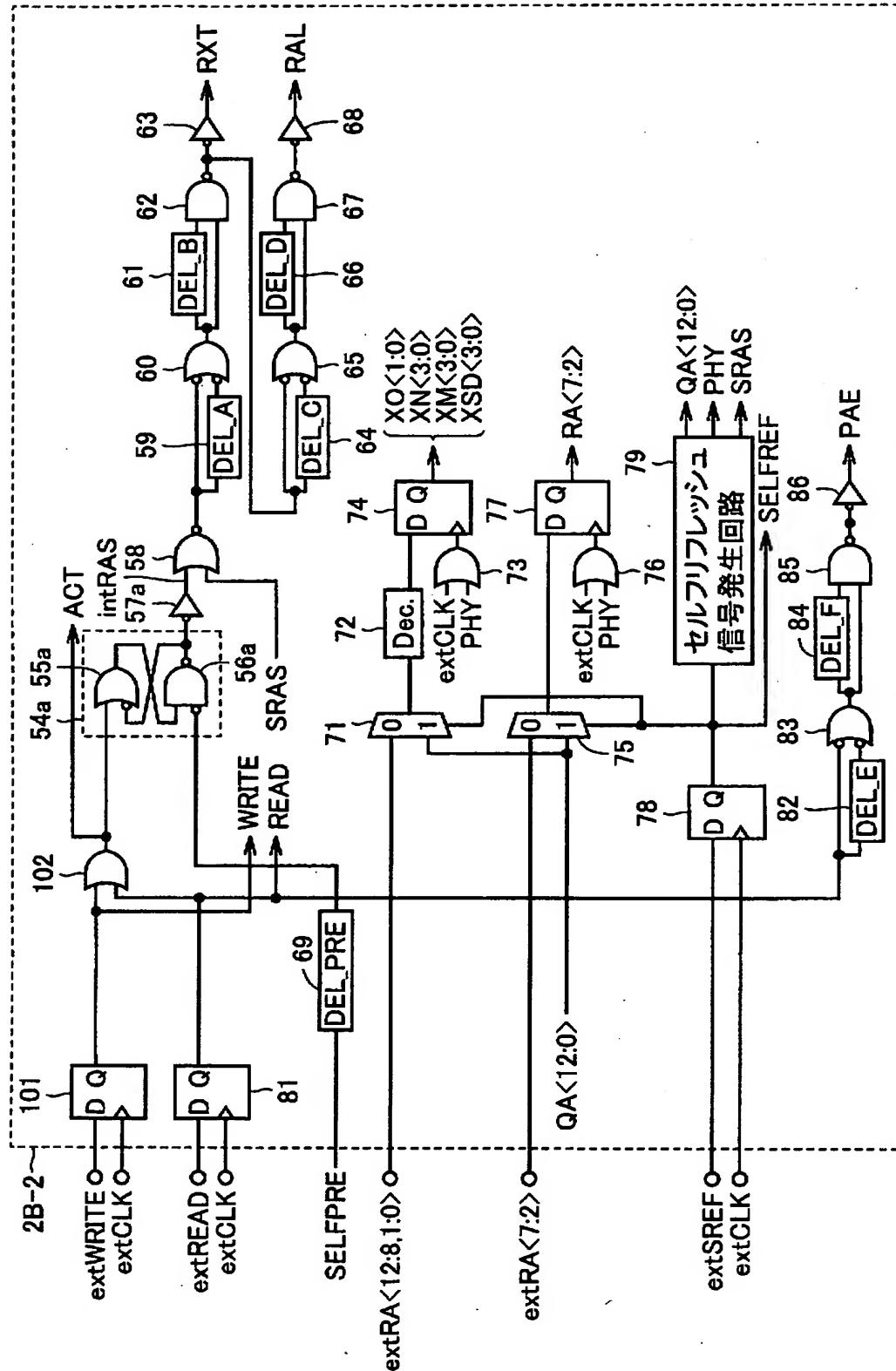
### 【図11】



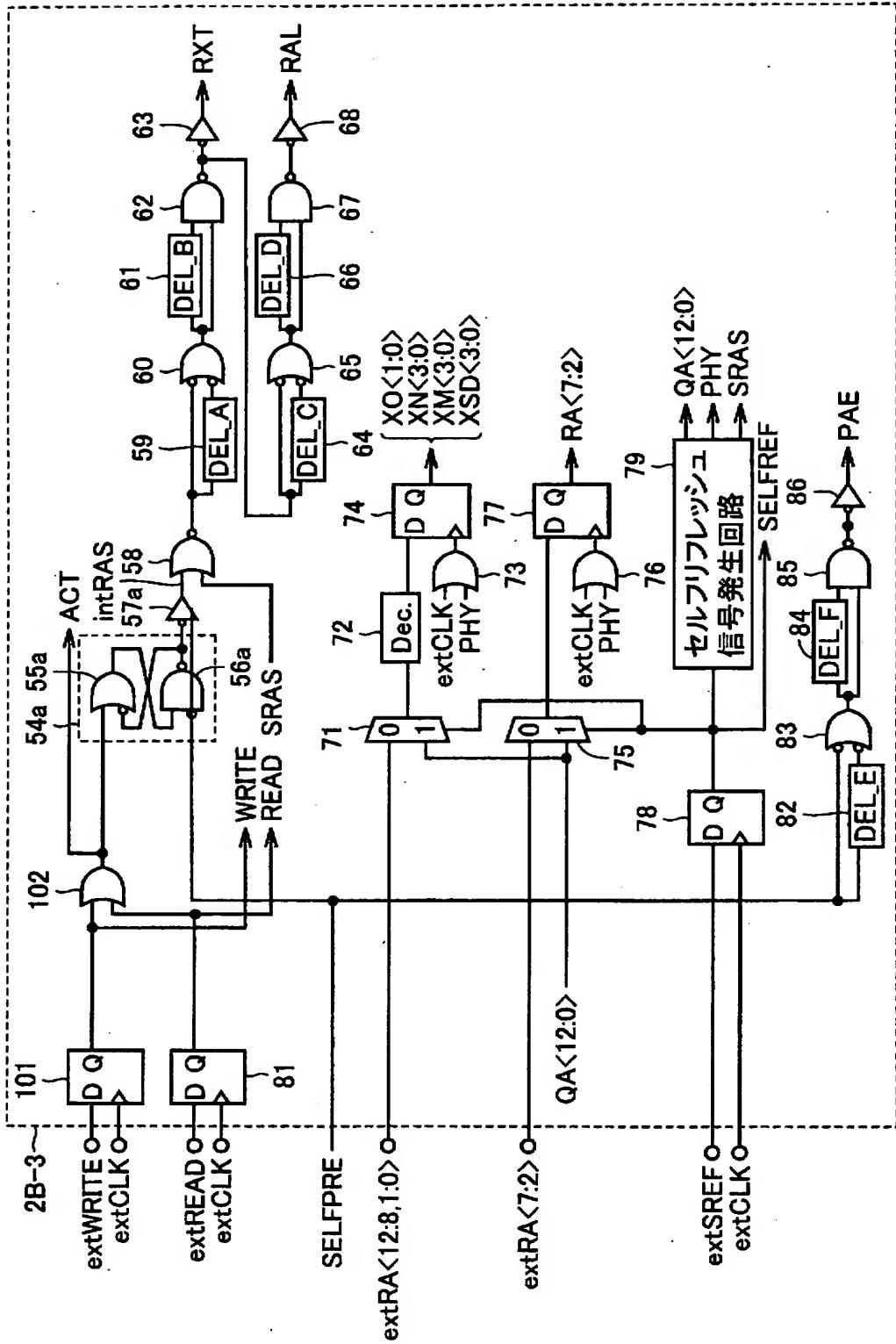
【図12】



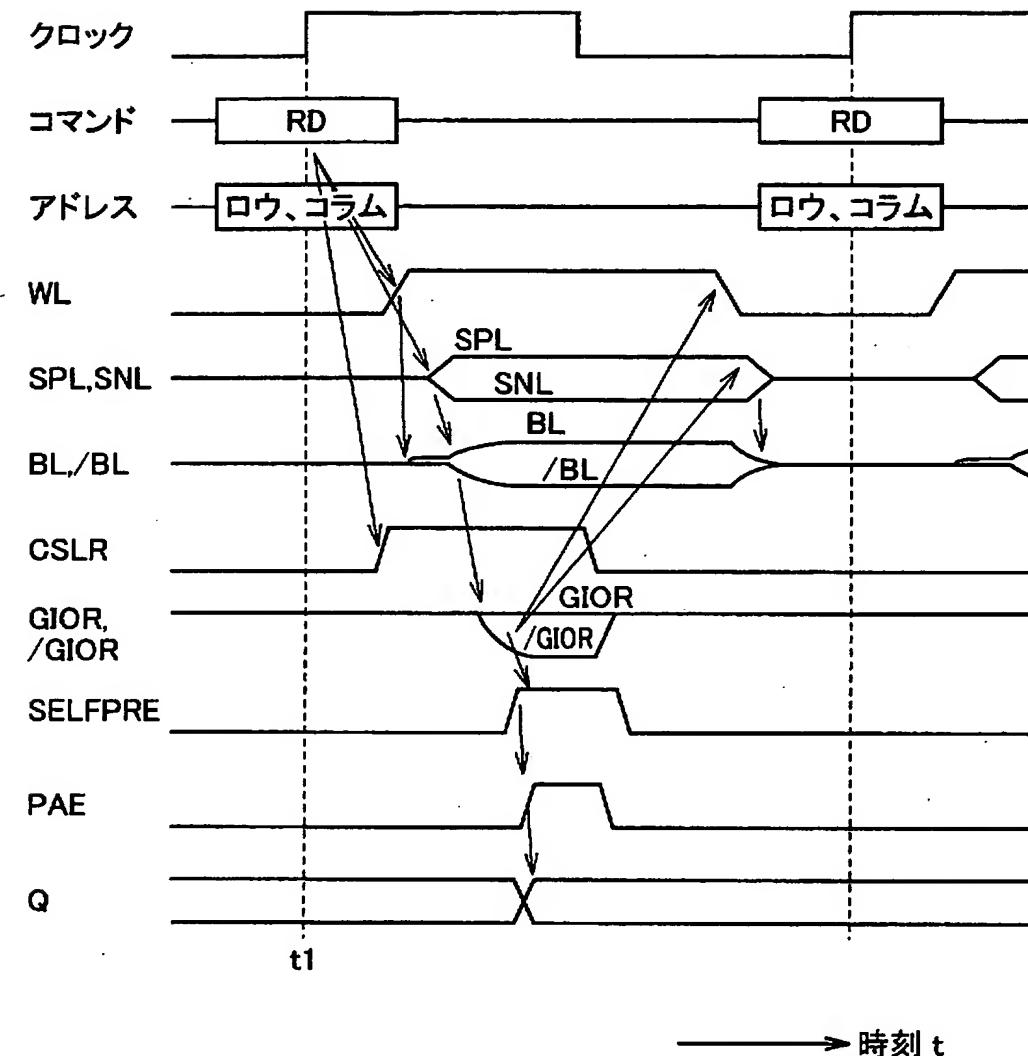
〔図13〕



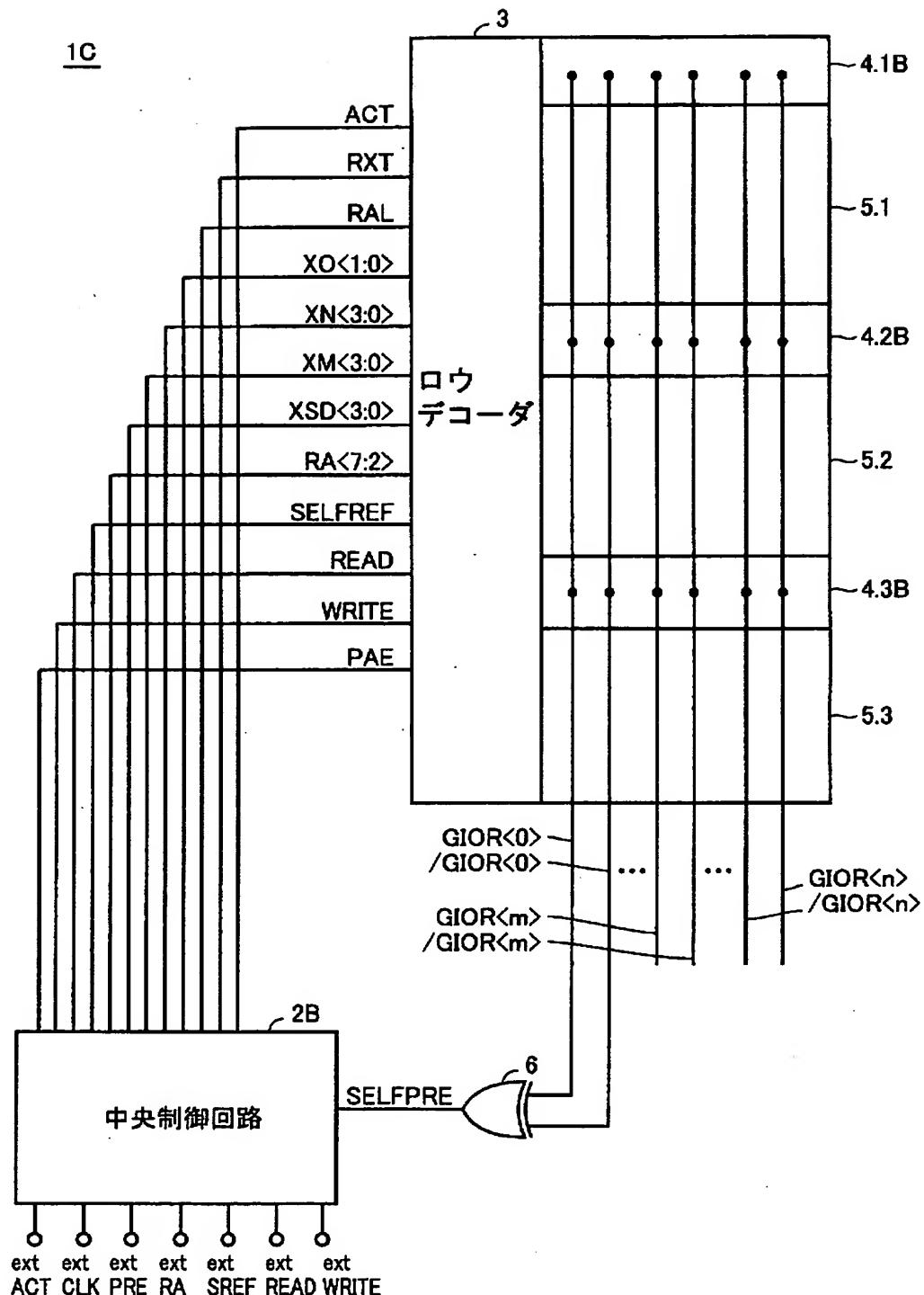
【図14】



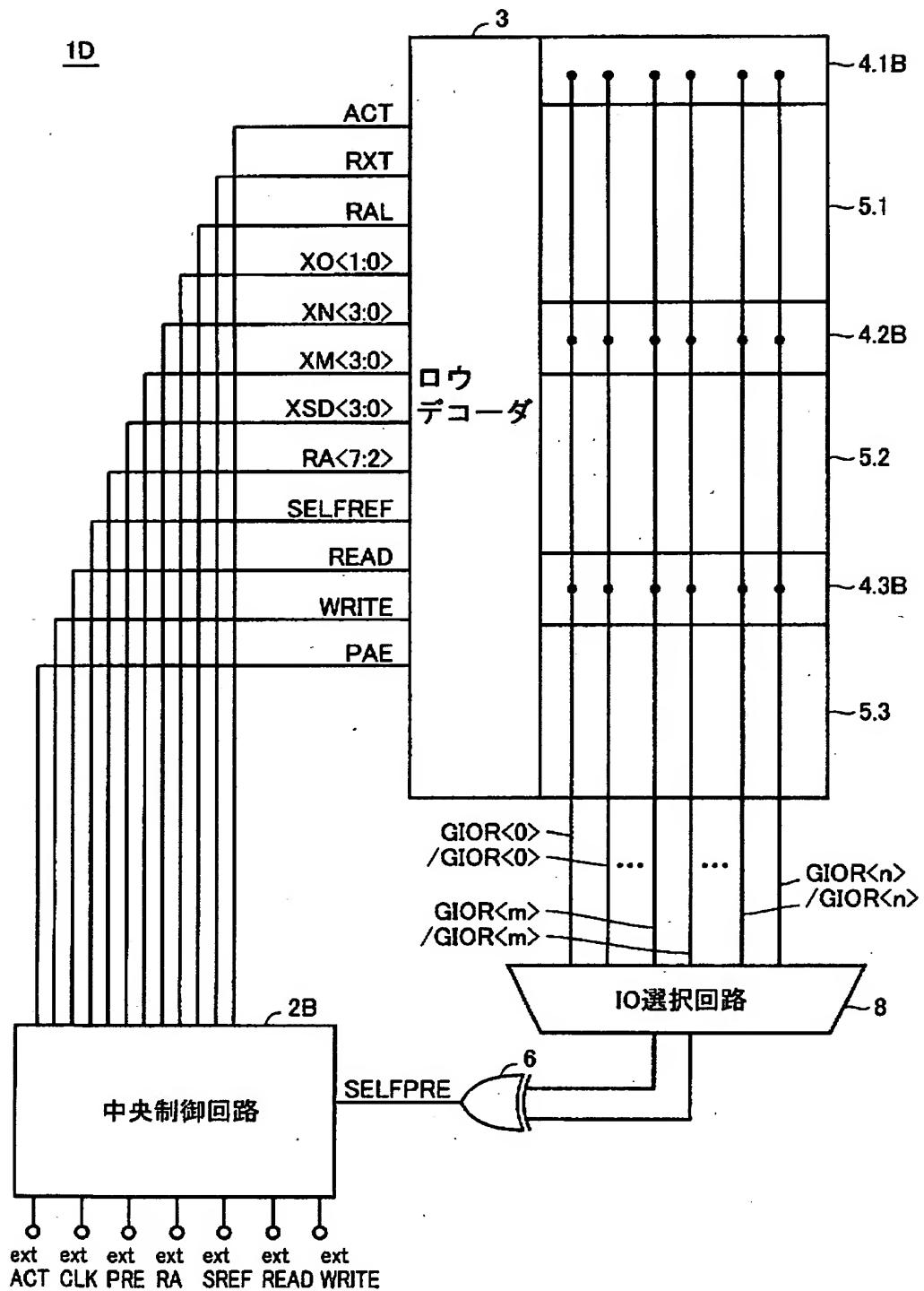
【図1.5】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 新たな外部信号線および外部制御を必要とせずにメモリ動作の高速化が可能な半導体記憶装置を提供する。

【解決手段】 XORゲート6は、読み出しデータ線対G I O R, /G I O Rからの入力を受け、読み出しデータ線対G I O R, /G I O Rの電位差が開いているときにセルフプリチャージ信号S E L F P R Eを出力する。これにより、R E A Dコマンド発行時に読み出しデータ線対G I O R, /G I O Rの電位差が開き次第、自己整合的にプリチャージ動作が実行される。ゆえに、R E A Dコマンド発行時に外部からのプリチャージコマンドが不要となり、かつ高速化が容易となる。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社